

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162011

(43)Date of publication of application : 23.06.1995

(51)Int.Cl. H01L 29/786
H01L 27/04
H01L 21/822
H01L 27/12

(21)Application number : 06-253600

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 19.10.1994

(72)Inventor : BRADY FREDERICK T
HADDAD NADIM F
EDENFELD ARTHUR R
SELISKAR JOHN J
WANG LI KONG
SPENCER OLIVER

(30)Priority

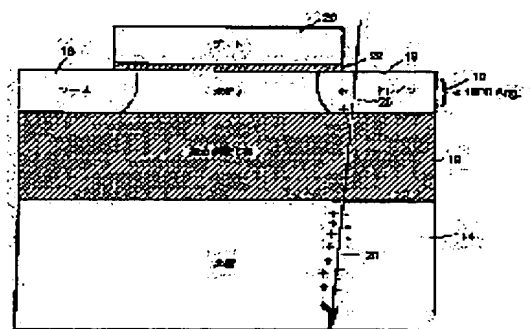
Priority number : 93 141505 Priority date : 26.10.1993 Priority country : US

(54) METHOD FOR FORMING CIRCUIT WITH RADIATION-RESISTANCE

(57)Abstract:

PURPOSE: To enhance the SEU-resistance of a commercial circuit by forming a silicon-on-insulator structure, so that a silicon is sufficiently thin to substantially deplete a transistor formed on the silicon, and then forming such a transistor on the silicon as operates as a storage mode device.

CONSTITUTION: A silicon-on-insulator(SOI) structure has a silicon layer 10 of thickness 85 nm. The silicon layer is formed on an embedded oxide layer 12, positioned on a substrate 14 which is a carrier wafer of silicon, etc., for supporting the SOI layer. In the SOI structure, a transistor which includes a source region 16, a drain region 18, a gate 20, and a gate oxide 22 is formed, while the channel region of a device is formed at a main body. With a limited cross-sectional area, electric charge parcels generate electric charges, only when they pass through the device of the layer 10. The substrate 14 generates another electric charge 28, however, the electric charge 28 does not affect on a transistor device, since the embedded oxide layer 12 is provided in between.



LEGAL STATUS

[Date of request for examination] 19.10.1994

[Date of sending the examiner's decision of rejection] 22.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-162011

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 27/04 21/822		9056-4M 8832-4M	H 0 1 L 29/ 78 27/ 04	3 1 1 H H
審査請求 有 請求項の数 3 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-253600

(22) 出願日 平成6年(1994)10月19日

(31) 優先権主張番号 1 4 1 5 0 5

(32) 優先日 1993年10月26日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 フレデリック・ティ・ブラディ

アメリカ合衆国22202、バージニア州チャンドーリ、ノーバー・ドライブ 4152

(74) 代理人 弁理士 合田 潔 (外2名)

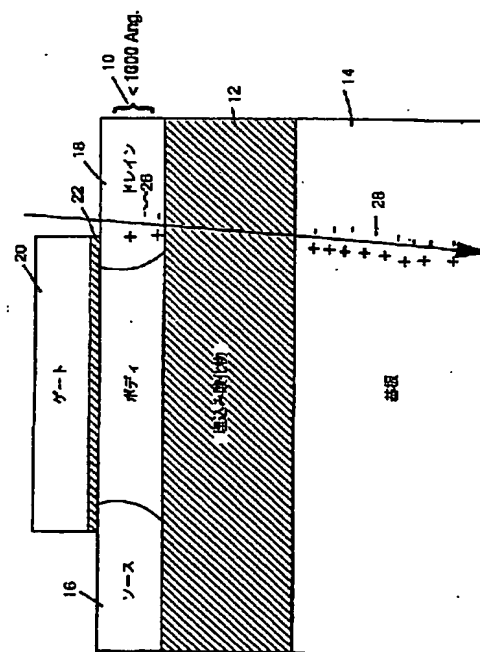
最終頁に続く

(54) 【発明の名称】 放射耐性を有する回路を形成する方法

(57) 【要約】

【目的】 回路の再設計も回路パフォーマンスの劣化もなく、製造方法だけで商用集積回路設計の放射線耐性を改善することができる製造方法を提供する。

【構成】 この方法は、非放射耐性の回路設計をシリコン・オン・インシュレータ構造に適用して、シリコンに形成されるトランジスタが実質的にディブリートするのに十分な薄さにシリコンを形成し、そして、シリコン層に蓄積モード・デバイスとして作動するトランジスタを形成する。



【特許請求の範囲】

【請求項1】非放射耐性の回路設計から放射耐性を有する回路を形成する方法であって、

上記非放射耐性の回路設計をシリコン・オン・インシュレータ構造に適用し、上記シリコンに形成されるトランジスタが実質的にディブリートするのに十分な薄さを上記シリコンが持つようにシリコン・オン・インシュレータ構造を形成するステップと、

上記シリコンに蓄積モード・デバイスとして作動するトランジスタを形成するステップとを含む放射耐性を有する回路を形成する方法。

【請求項2】上記トランジスタが軽度ドープのドレイン構造を使用して形成される、請求項1記載の方法。

【請求項3】上記回路がシリコン厚0.1ミクロン未満のシリコン・オン・インシュレータ構造上に形成される、請求項1記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、VLSI回路に関し、特に再設計を伴わないでVLSI回路の放射線耐性を改善する方法に関する。

【0002】

【従来の技術】衛星等に用いられる集積回路には、外部の雰囲気や空間に存在しエネルギーが極めて強い粒子や光子が常時、衝突している。このような粒子は、集積回路に衝突する際、シングル・イベント・アップセット

(SEU: single event upset) として知られるローカル・エラーを起こす。またVLSI回路が複雑になり、トランジスタが小型化するにつれて、地上で用いられる集積回路でも、SEUの影響を受ける。

【0003】回路は、通常、再設計によってSEUに対処している。しかし、そのために、トランジスタ拡散領域がかなり大きくなって、放電すべきキャパシタンスが増え、また抵抗の追加によって遷移応答が遅くなる。回路の再設計にはSEU耐性を大きくする効果はあるが、いくつか欠点もある。回路速度の低下、特に低温で作動する抵抗器を使用する場合や、回路密度の低下等である。しかし最も重要なことは、商用チップの再設計コストが非常に大きくなることである。

【0004】半導体集積回路の生産コストは高く、競争が激しい。これは特に、数量が比較的少ないことから規模の経済が活かせない宇宙開発関連製品事業等で著しい。そのため、品質を落とさずにコストを下げる必要がある。VLSI(超大規模集積回路)の生産コストの大部分はチップの設計にかかる。従って、すでにある設計ライブラリを出来るだけ使用することが望ましい。一般に、放射耐性を有するチップを設計する目的の場合は、特定の用途に求められる仕様を満たすべく、非放射耐性の設計に変更が加えられる。しかし、宇宙開発製品等に想定されるSEU耐性に合わせて商用設計に変更を加え

ることは、製品に大きなコストを加えることになる。また抵抗器が追加されたり、元の回路設計ルールを緩和しなければならない場合などには、回路速度が犠牲になる。つまり、再設計の必要性をなくす技術的アプローチは、SEU耐性を与えられる集積回路のコストを大きくし、パフォーマンスを抑えることになる。

【0005】

【発明が解決しようとする課題】商用技術が小型化を更に進めたデバイスに移っていくにつれて、メモリ・セルは、バックグラウンド放射のみによるSEUアップセットの影響をますます受けやすくなっている。従って、商用技術のSEU耐性の改良が望まれている。

【0006】本発明の目的は、商用回路を使用でき、製造プロセスだけで商用回路のSEU耐性の向上が可能な製造方法を提供することであるが、その際、回路の再設計は不要であり、回路のパフォーマンスが低下することもない。

【0007】

【課題を解決するための手段】本発明は、SOI基板を使用した、実質的ディブリート(空乏化)する蓄積モードのデバイスの商用VLSI回路の設計にもとづく。SOIの場合、回路は埋込み酸化層の上に位置する非常に薄いシリコン層に形成される。SOIの基本的な利点は周知の通りである。SEUが生じるのは、高エネルギー粒子が重要なトランジスタのドレイン拡散領域に衝突した時である。粒子はシリコン層を移動する際に電子と正孔の対を多数生成する。再結合を逃れた余剰キャリアはドレインによって集められる。ドレインによって十分な電荷が集められ、ドレインはその初期電荷を放出する。従来のバルク・シリコンの場合、電荷が集まる断面積は事実上、Nウェルの深さに依存し、これは普通2ミクロンである。SOIを使用する場合、活性領域の深さはシリコン層の厚みまで、すなわち例えば、<0.1ミクロンのオーダーまで小さくなる。つまり、SEU耐性は、先ず第1に、活性粒子の経路内のデバイス・シリコン量を少なくすることによって得られる。

【0008】本発明では、完全にディブリートするデバイスを使用することが重要である。SOIのこれまでの集積回路設計は、部分的にディブリートするデバイスを用いていた。部分的にディブリートするデバイスではシリコン層が厚く、トランジスタ本体はオフの時にキャリアが空乏化することがない。所要のSEU耐性を満足するには、部分的にディブリートするデバイスに、トランジスタ本体からソースへ至る短絡ストラップやトランジスタ本体に対する特別なグラウンド・コンタクトを設ける必要がある。従って、部分的にディブリートするSOIデバイスはバルク集積回路設計とは両立しない。

【0009】本発明のもう1つの要件は、本体部分、ソース領域及びドレイン領域が同じ導電型を持つ、蓄積モード(accumulation mode)のデバイスを使用すること

である。蓄積モード・デバイスの場合、Nチャネル（Pチャネル）・デバイスは、 $n+(p+)$ のソースとドレイン、 $n-(p-)$ の本体、及び $p+(n+)$ にドーピングしたポリシリコン・ゲートからなる。従来のトランジスタでは、本体はソースとドレインとは逆のドーパント型である。蓄積モード・デバイスはパフォーマンスを低下させずにバルク・シリコンとの設計上の両立性を維持するために用いられる。従来のトランジスタ設計がバルク・シリコンで実施される場合は、本体のドーピング濃度をかなり高くしないとバルクCMOSTランジスタと同様のしきい電圧は得られない。ドーピング濃度のこの高さがデバイスのパフォーマンス・パラメータを劣化させるのである。

【0010】本発明の他の実施例では、回路の電源電圧を許容レベルまで増加させるデバイス・エンジニアリングが用いられる。電源電圧が高い時、SOI回路は、トランジスタ・レベルでの電界効果が大きくなるためにその待機リーク電流が大きくなる。従来の軽度ドーピングのドレインを使い、中性不純物を注入した場合には、高い電源電圧が使用できる。本発明のデバイス・エンジニアリングの部分は、低電圧用途については省略できる。

【0011】

【実施例】図1はSEU耐性を高めたSOI構造を示す。シリコン・オン・インシュレータ（SOI: silicon-on-insulator）構造は、厚み85nmのシリコン層10を有する。このシリコン層は、SOI層を支持するシリコン等のキャリア・ウエハである基板14上に位置する埋込み酸化層12の上に形成される。このSOI構造内に、ソース領域16、ドレイン領域18、ゲート20、ゲート酸化物22を含むトランジスタが形成される。デバイスのチャネル領域は本体24に形成される。断面積が制限されるので、荷電粒子が電荷を生じるのは層10のデバイス領域を通る時だけであり、デバイス領域は粒子が埋込み絶縁酸化物を通して基板へ移動する前では26に示すようにごくわずかの電荷しか帯びず、基板14は別の電荷28を生じるが、間に埋込み酸化層12があるため、電荷28がトランジスタ・デバイスに影響を与えることはない。

【0012】図2は、バルク、エンハンスメント及び蓄積の3つのデバイス型の比較である。エンハンスメント・モードはトランスコンダクタンス（ G_m ）と移動度が低いことがわかる。また、ここには示していないが、エンハンスメント・デバイスはドーパント濃度と膜厚によって大きな影響を受ける。

【0013】図3乃至図5は、シングル・イベント・アップセット（SEU: single event upset）に対する耐性を与えるように商用VLSI回路を製造するプロセスの始めのステップを示す。図3には、基板30、埋込み酸化層32、シリコン層34、パッド酸化物36、窒化物層38及びフォト画成領域40を示している。図4

は、分離領域を成長させる領域に開口を形成するようにエッチングされたパッド・スタックを示す。分離領域42はエッチングされたパッド・スタックの間に形成される。局所酸化物の分離領域42が2400乃至3000のオーダまで形成されると、パッド酸化物36と窒化物層38が除去される。シリコン層34上には400乃至800の犠牲酸化物が形成され、除去されて、応力による損傷がパッド・スタックから取り除かれる。他のフォトリソレベルにより位置合わせマークを基板までエッチングすることもできる。

【0014】図6は、次のステップで、イオン注入のための犠牲酸化物として薄い酸化物44が形成される。次に中性不純物イオン46がウエハ表面全体に注入される。次にフォトリソグラフィ・ステップで、nチャネル領域にフォトレジスト48が塗布され、pチャネルにpチャネルしきい値調整ドーパント50が注入される（図7）。その後、pチャネル領域はフォトレジスト52で覆われ、54の注入により、n型ドーパントのしきい電圧がセットされる（図8）。レジストと犠牲酸化物44は除去される。

【0015】図9に示す通り、ゲート酸化物56がpチャネル領域とnチャネル領域に形成される。このゲート酸化物56は最終的なゲート酸化物である。ゲート酸化物はポリシリコン58で覆われる。ポリシリコン58はゲートの電極物質を形成するために用いられる。ポリシリコン層に極めて薄い酸化物が形成されてポリシリコンが保護される。nチャネル領域はレジスト60で覆われ、pチャネル・デバイスのポリシリコンにはリン・イオン62がドーピングされる。次にnチャネル領域からレジストが除去され、pチャネル領域をレジスト64で覆ってホウ素イオン66を注入する（図10）。ホウ素イオンが用いられる場合は、p+ポリシリコンからデバイスへのホウ素の侵入を最小にするために、普通の二フッ化ホウ素（ BF_3 ）ではなく10kVのホウ素を注入する必要がある。

【0016】ウエハ表面全体に窒化物キャップ68が被着される（図11）。この窒化物キャップは厚みが約115nmで、ポリシリコン・ゲートの勾配をそのエッチング中に改良し、拡散注入時にポリシリコン・ドーピングの変化を防ぐために用いられる。

【0017】上記のステップが完了すれば、実際のデバイスを完成させるためにまた別の通常の処理ステップが実行される。これは図12に示すように、フォトレジストによってポリシリコン・ゲートを画成し、ゲート・スタックをゲート酸化物までエッチバックすることによって行なわれる。ポリシリコン・ゲートが画成された状態で、図12に示すようにpチャネル・デバイスにLDD（軽度ドーピングのドレイン）を注入形成することができ、次にpチャネル・デバイスをレジストで覆えば、n型ドーパントによりnチャネル・デバイス上にLDDが

注入形成される(図13)。次に、窒化シリコンを被着して異方性エッチングによりエッチバックすれば、注入マスクとして働く窒化物スペーサ72が形成される(図14)。スペーサ72が形成されるとnチャネル・デバイスがレジストで覆われ、pチャネル・デバイスにp型ドーパントが高ドーズに拡散注入される(図15)。この後、アニール処理によりドーパントが活性化され、注入損傷が緩和される。次にpチャネル・デバイスがレジストで覆われ、集積回路のnチャネル・デバイスにn型ドーパントが高ドーズに拡散注入される(図16)。これもアニール処理によりドーパントが活性化され、注入損傷が緩和される。次に窒化物スペーサと窒化物キャップが高温のリン酸で除去される(図17)。

【0018】デバイスが完成した後、ソースとドレインの領域にスペーサとシリサイドが形成されて、メタライズされたデバイスが形成される。プロセスの流れの中でフォトリソは全て、後のエッチングや注入のステップの直後に除去されることを前提にしている。上記のデバイス画成ステージは、いわゆるLOCOS方式の分離プロセスを用いた場合を例示したものである。デバイス・エンジニアリングにより、完全にディブリーツする蓄積モードのデバイスを形成する上で重要なステップは、デバイスの画成の後のステージに含まれる。従って、異なる分離法、例えばトレンチ、メサ等の使用は別の発明を構成するわけではない。LDDの注入やスペーサは任意であり、これらは電源電圧を高めゲート長を短くするためのリーク条件を満たすためにのみ必要である。ゲート長や電源の条件によるが、LDDの注入はn、pいずれのチャネルのトランジスタでも可変であり、或いは省略できる。

【0019】上記のようなプロセスにおける生産の一例では、完全な機能の256k SRAMが複数のロットで製造された。そのテストの結果の放射線耐性を図18に示す。横軸は阻止能(LET-Linear Energy Transfer)を示し、縦軸は1日当たりのアップセット率USR($\text{cm}^2/\text{ビット}$)を示している。このアップセット・レベルは軍用製品や宇宙開発用製品の仕様に合う。

【0020】

【発明の効果】以上説明したように、本発明によれば、商用回路を使用でき、製造プロセスだけで商用回路のSEU耐性を改善することができ、回路の再設計は不要であり、回路のパフォーマンスが低下することもない。

【図面の簡単な説明】

【図1】SEU耐性を高めたSOI構造を示す図であ

る。

【図2】バルク、エンハンス・モード及び蓄積モードのデバイス特性を比較した図である。

【図3】本発明の処理ステップを示す図である。

【図4】本発明の処理ステップを示す図である。

【図5】本発明の処理ステップを示す図である。

【図6】本発明の処理ステップを示す図である。

【図7】本発明の処理ステップを示す図である。

【図8】本発明の処理ステップを示す図である。

【図9】本発明の処理ステップを示す図である。

【図10】本発明の処理ステップを示す図である。

【図11】本発明の処理ステップを示す図である。

【図12】本発明の処理ステップを示す図である。

【図13】本発明の処理ステップを示す図である。

【図14】本発明の処理ステップを示す図である。

【図15】本発明の処理ステップを示す図である。

【図16】本発明の処理ステップを示す図である。

【図17】本発明の処理ステップを示す図である。

【図18】本発明に従って形成されたデバイスの放射テ

ストの結果を示す図である。

【符号の説明】

10、32 シリコン層

12 埋込み酸化物層

14、30 基板

16 ソース領域

18 ドレイン領域

20 ゲート

22、56 ゲート酸化物

24 本体

28 電荷

36 バッド酸化物

38 窒化物層

40 フォト画成領域

42 分離領域

44 犠牲酸化物

46 中性不純物イオン

48、52 フォトリソ

50 pチャネルしきい値調整剤

58 ポリシリコン

60 レジスト

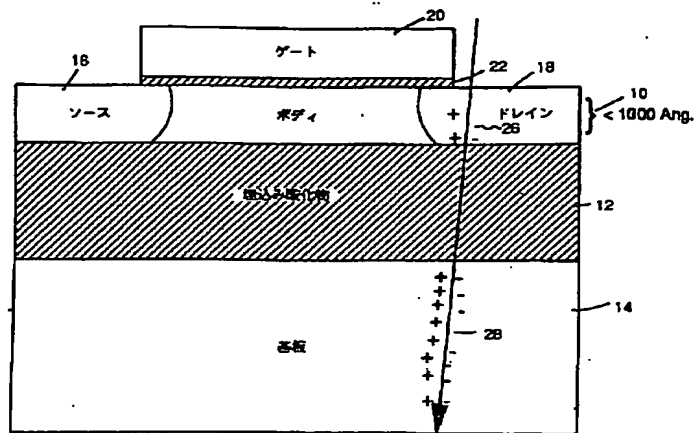
64 pチャネル領域

66 ホウ素イオン

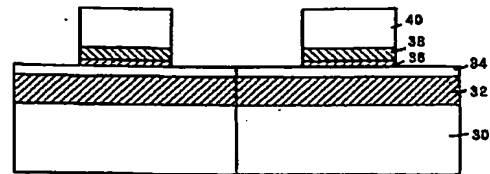
68 窒化物キャップ

72 窒化物スペーサ

【図1】



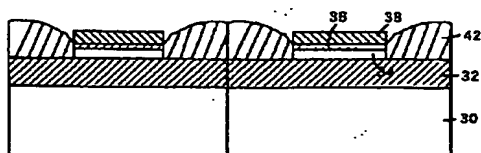
【図3】



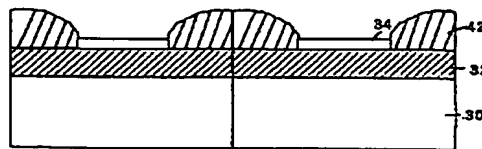
【図2】

パラメータ	バルク CMOS	エンハンス・モード SOI	デプレッションモード SOI	
Nチャネル				
電圧	0.80	0.65	0.83	Volts
サブ電圧勾配	83	89	76	mV/dec.
移動度	402	343	532	cm ² /V-sec
Gm (飽和)	110	92	120	uS/um
Pチャネル				
電圧	-0.60	-0.67	-0.70	Volts
サブ電圧勾配	90	68	74	mV/dec.
移動度	142	111	204	cm ² /V-sec
Gm (飽和)	60	48	62	uS/um

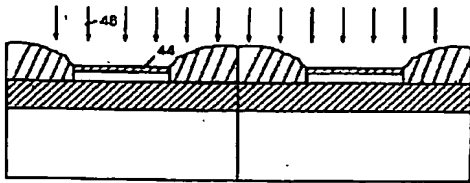
【図4】



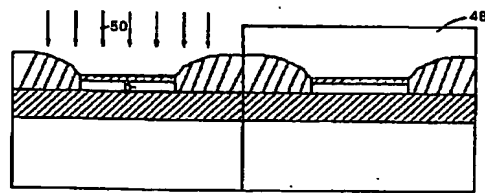
【図5】



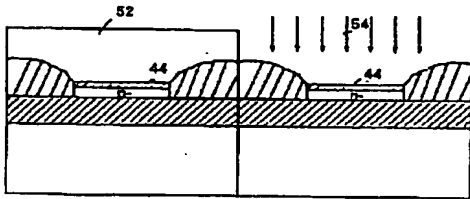
【図6】



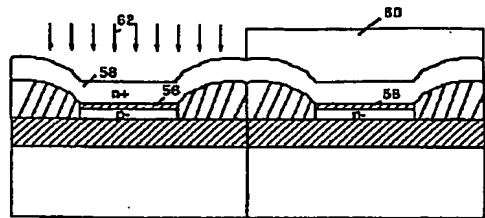
【図7】



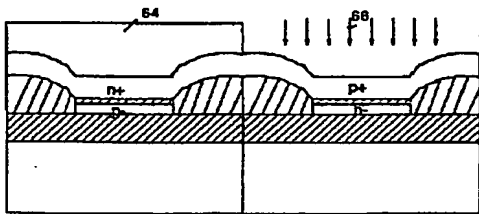
【図8】



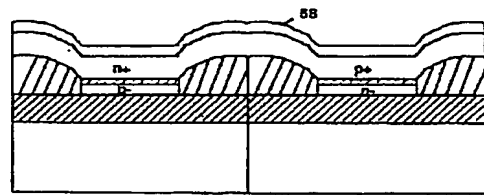
【図9】



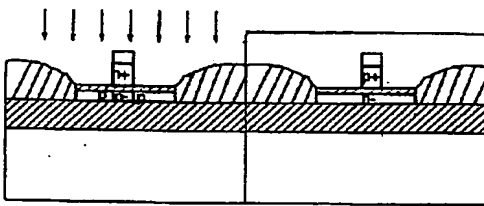
【図10】



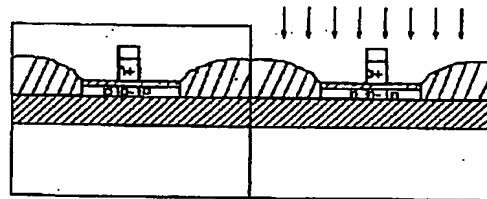
【図11】



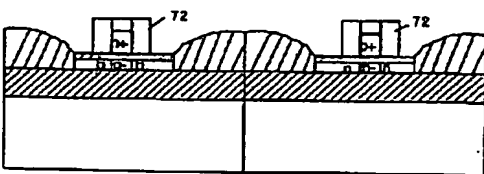
【図12】



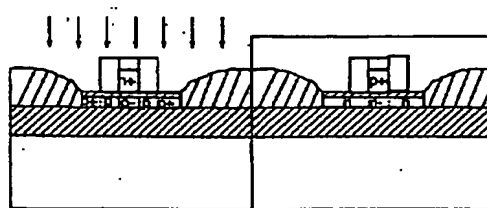
【図13】



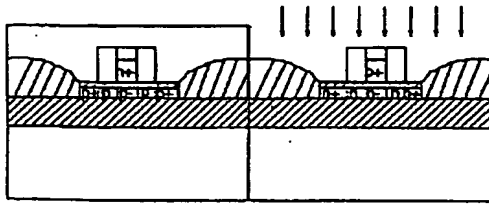
【図14】



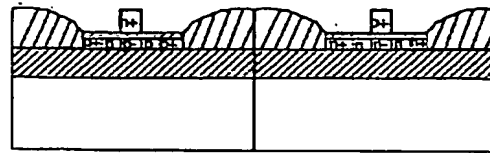
【図15】



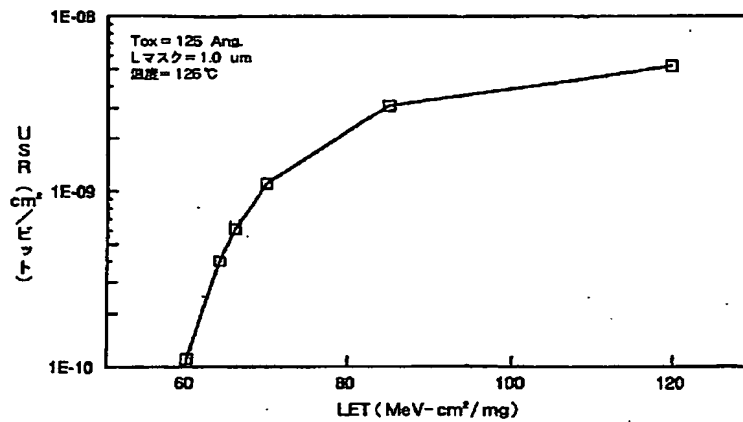
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.⁵

H01L 27/12

識別記号

庁内整理番号

Z

F I

技術表示箇所

(72)発明者 ナデム・エフ・ハッダッド

アメリカ合衆国22124、バージニア州オー
クトン、ペリーランド・ドライブ 2704

(72)発明者 オーサー・アール・エデンフェルド

アメリカ合衆国24459、バージニア州ミド
ルブルック、ボックス44、スター・ルート
(番地なし)

(72)発明者 ジョン・ジェイ・セリスカー

アメリカ合衆国22020、バージニア州セン
トルビル、バッテリー・リッジ・レーン
14608

(72)発明者 リ・コン・ワン

アメリカ合衆国07645、ニュージャージー
州マウントベイル、モーガン・コート 2

(72)発明者 オリバー・スペンサー

アメリカ合衆国22111、バージニア州マナ
サスマウンティビル・ドライブ 9819